

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

This Page Blank (uspto)

JP-A 4189023; JP-A 2319279; JP-A 90319279

COPYRIGHT: (C)1992,JPO & Japio

PATENT ABSTRACTS OF JAPAN

04189023

GET EXEMPLARY DRAWING

July 7, 1992

PULSE SYNCHRONIZING CIRCUIT

INVENTOR: HAYAKAWA MITSURU

APPL-NO: 02319279 (JP 90319279)

FILED: November 22, 1990

ASSIGNEE: VICTOR CO OF JAPAN LTD


INT-CL: H03K5/00, (Section H, Class 03, Sub-class K, Group 5, Sub-group 00)

ABST:

PURPOSE: To prevent the occurrence of contention resulting in causing uncertain timing even when an input pulse and a clock pulse are asynchronous by providing a function to discriminate the contention between the input pulse and the clock pulse.

CONSTITUTION: An output (b) of a pulse width shaping circuit 31 and an output (c) of a delay circuit 32 are inputted to a discrimination circuit 33, in which whether or not leading edges of the pulse outputs b, c are close to each other, that is, the relation of contention is discriminated. The output (b) of the pulse width shaping circuit 31 and the delay output (c) of the delay circuit 32 are latched respectively by DFFs 331, 332 by using a 2nd clock CK 2. Then an output (d) of the FF 331 and an output (e) of the FF 332 are decoded by an inverter 333 and an AND gate circuit 334. After the decoding, an output of the gate 334 is latched at a trailing edge of the delay pulse (c) to output an output (f) for discriminating the contention.

LOAD-DATE: June 17, 1999

Source: [All Sources](#) > [Area of Law - By Topic](#) > [Patent Law](#) > [Patents](#) > [Non-U.S. Patents](#) > [\\$ Patent Abstracts of Japan](#) 

Terms: **4189023** ([Edit Search](#))

View: Full

Date/Time: Tuesday, August 28, 2001 - 2:30 PM EDT

[About LexisNexis](#) | [Terms and Conditions](#)

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-189023

⑬ Int. Cl.³
H 03 K 5/00

識別記号 庁内整理番号
V 7125-5 J

⑭ 公開 平成4年(1992)7月7日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 パルス同期化回路

⑯ 特 願 平2-319279

⑰ 出 願 平2(1990)11月22日

⑱ 発 明 者 早 川 充 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑲ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

明 細 書

1. 発明の名称

パルス同期化回路

2. 特許請求の範囲

第1のクロックにより生成された周期性の入力パルスを遅延して遅延パルスを入力する遅延回路と、

前記入力パルスと第2のクロックとのタイミング関係を判定して、競合関係にあると判定したときに所定の出力を得る判定回路と、

前記判定回路の出力を覆分して出力する覆分回路と、

前記覆分回路の出力を切換タイミングパルスによってラッチして出力する第1のラッチ回路と、

前記入力パルスと前記遅延パルスとを前記第1のラッチ回路の出力により切り換えて出力するスイッチと、

前記スイッチの出力を前記第2のクロックでラッチして確定した同期化パルス出力を得る第2のラッチ回路とよりなることを特徴とするパルス同

期化回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル回路において、入力パルスと非同期的なクロックとの競合関係を避けるようにしたパルス同期化回路に関する。

(従来の技術)

デジタル回路に入力するパルスをそのデジタル回路のクロックに同期させるために、従来よりパルス同期化回路が用いられていることは周知の通りである。

第6図は従来のパルス同期化回路を示す構成図であり、第7図はそのパルス同期化回路の周辺回路を示すブロック図である。

まず、第7図を用いて従来のパルス同期化回路4及びその周辺回路について説明する。第1の計数回路1には第1のクロックCK1が、第2の計数回路2には第2のクロックCK2がそれぞれ入力される。また、パルス同期化回路4にも第2のクロックCK2が入力される。

そして、第1のクロックCK1で動作している第1の計数回路1から出力されるデコードパルスは、パルス同期化回路4に入力され、パルス同期化回路4は、第2のクロックCK2で動作する第2の計数回路2へ同期をとるためのリセットパルスを出力する。

従来のパルス同期化回路4は第6図に示すように、Dフリップフロップ41、42及びNANDゲート回路43とによって構成される。

(発明が解決しようとする課題)

ところで、上述した第6図及び第7図に示す従来のパルス同期化回路4においては、第1のクロックCK1と第2のクロックCK2とが非同期である場合、パルス同期化回路4に入力する入力(入力パルス)aと第2のクロックCK2との競合が起こる。

この競合について、第8図を用いて説明する。同図に示すように、入力(入力パルス)aの立上がりとは第2のクロックCK2の立上がりとは時刻t₁において極めて接近している場合、入力パル

スaに含まれるノイズやクロックジッタ等により競合状態となり、その出力が時刻t₁に出力されるh(1)と時刻t₂に出力されるh(2)との2つが存在し、出力タイミングが1クロック分不確定となるという問題点がある。

そこで、本発明は、前記した入力パルスとクロックパルスとの競合状態を判定する機能を有し、その競合を避けて安定な同期化が可能なパルス同期化回路を提供することを目的とする。

(課題を解決するための手段)

本発明は、上述した従来の技術の課題を解決するため、第1のクロックにより生成された周期性の入力パルスを遅延して遅延パルスを出力する遅延回路と、前記入力パルスと第2のクロックとのタイミング関係を判定して、競合関係にあると判定したときに所定の出力を得る判定回路と、前記判定回路の出力を積分して出力する積分回路と、前記積分回路の出力を切換タイミングパルスによってラッチして出力する第1のラッチ回路と、前記入力パルスと前記遅延パルスとを前記第1のラ

ッチ回路の出力により切り換えて出力するスイッチと、前記スイッチの出力を前記第2のクロックでラッチして確定した同期化パルス出力を得る第2のラッチ回路とよりなることを特徴とするパルス同期化回路を提供するものである。

(実施例)

以下、本発明のパルス同期化回路について、添付図面を参照して説明する。

第1図は本発明のパルス同期化回路の一実施例を示すブロック図、第2図及び第3図は本発明のパルス同期化回路を説明するための図、第4図は本発明のパルス同期化回路の周辺回路を示すブロック図、第5図は本発明のパルス同期化回路の動作説明用タイミングチャートである。

まず、第4図を用いて本発明のパルス同期化回路3及びその周辺回路について説明する。第1の計数回路1には第1のクロックCK1が、第2の計数回路2には第2のクロックCK2がそれぞれ入力される。パルス同期化回路3には第1のクロックCK1と第2のクロックCK2及びタイミン

グパルスとが入力される。

そして、パルス同期化回路3は第1のクロックCK1により動作している第1の計数回路1からのデコードパルスを入力とし、第2のクロックCK2により動作する第2の計数回路2にリセットパルスとして出力するために、第1及び第2のクロックパルスCK1、CK2そしてタイミングパルスとによって制御されている。

次に、本発明のパルス同期化回路3の一実施例の具体的回路構成を第1図を用いて説明する。同図に示すように、パルス幅整形回路31、遅延回路32、判定回路33、積分回路34、第1のラッチ回路35、スイッチ36及び第2のラッチ回路37とによって構成される。

そして、パルス幅整形回路31と遅延回路32及び判定回路33の具体的回路構成を第2図を用いて説明する。また、本発明のパルス同期化回路3における回路動作を第5図に示すタイミングチャートを用いて説明する。

第5図に示す入力パルスaはクロックCK1に

よって生成される周期性のパルスであり、そのパルス幅はクロックCK1の周期 T_1 より大であるとする。

第2図に示すように、パルス幅整形回路31はDフリップフロップ311とANDゲート回路312とよりなり、その出力はパルス幅 $T_w (= T_1)$ なる出力 b となる。このパルス幅 T_w は、クロックCK2の周期を T_2 とすれば、 $T_1/2 < T_w < T_2$ に設定される。

そして、その出力 b が入力する遅延回路32は、インバータ321とDフリップフロップ322とよりなり、その遅延時間 T_d は、 $T_1 < T_d + T_w < 2T_2$ に設定され、その出力はパルス幅整形回路31の出力 b に対し、遅延時間 $T_d (= T_1/2)$ だけ遅延し、パルス幅 T_w の出力 c となる。

そして、パルス幅整形回路31の出力 b 及び遅延回路32の出力 c は判定回路33に入力され、出力 b と出力 c との競合関係(つまり、お互いのパルスの立上がり極めて接近しているか)を判

定回路33によって判定する。

即ち、パルス幅整形回路31の出力 b 及び遅延回路32の出力(遅延パルス) c をそれぞれDフリップフロップ331、332において、第2のクロックCK2によってラッチし、そのDフリップフロップ331の出力(ラッチ出力) d 及びDフリップフロップ332の出力(ラッチ出力) e をインバータ333とANDゲート回路334とによってデコードした後、その出力を遅延パルス c の立下がりエッジでラッチして判定出力 f として出力する。

第5図において、クロックCK2(1)は判定回路33の入力パルスである出力 b (以下、入力パルス b とも記す)と競合条件になる第2のクロックCK2であり、その入力パルス b をクロックCK2(1)でラッチした出力 d は時刻 t_1 、 t_2 の期間不定であり、時刻 t_1 以後L(ロー)レベルとなる。また、遅延パルス c をラッチした出力 e は時刻 t_1 においてH(ハイ)レベルとなる。このラッチ出力 d 、 e をデコードして時刻 t_1 にお

いて遅延パルス c の立下がりエッジでラッチすれば、その出力 f はHレベルとなり、競合状態を判定することができる。

要するに、判定回路33は、その入力パルス b が第2のクロックCK2でラッチされず、その判定出力がLレベルであり、遅延パルス c が第2のクロックCK2でラッチされて、その判定出力 f がHレベルである場合のみ、入力パルス b と第2のクロックCK2とは競合するタイミング関係であると判定する。そして、判定出力 f は、入力パルス b の繰り返し周期で保持されている。

ところで、判定回路33による競合判定は、第2のクロックCK2がクロックCK2(1)の条件のみならず、ラッチ出力 d がLレベル、ラッチ出力 e がHレベルの期間、即ち第2のクロックCK2が時刻 t_1 の直後をラッチする位置関係CK2(1)と時刻 t_2 の直前をラッチする位置関係CK2(1)との間で競合と判定する。

従って、本発明による競合判定は、判定ウィンドを有し、判定回路33に入力する出力 b の立上

がりエッジタイミング t_1 を基準に $- \Delta T_1 \sim \Delta T_2$ のウィンドとなり、第5図に示す場合、 $\Delta T_1 = T_1 - T_w$ 、 $\Delta T_2 = T_d + T_w - T_2$ という関係にある。

この関係は、入力パルス b のパルス幅 T_w が、 $T_1/2 < T_w < T_1$ であり、遅延時間 T_d が、 $T_1 < T_d + T_w < 2T_2$ の場合に成り立つものである。ゆえに、入力パルス a が上記したパルス幅を満足する場合には、パルス幅整形回路31は不要となる。

また、入力パルス a がアナログ回路により生成される場合には、パルス幅整形回路31と遅延回路32とをアナログ手段で構成し、上記した T_w 、 T_d の条件を満たすように実施することも可能である。

第1図における積分回路34は、判定回路33の判定出力 f を所定回数積分して有意であるか、つまり、所定レベル以上であるかどうかを判定するものであり、公知の手段を用いることができ、積分回路34を用いることによりノイズ等によ

特開平4-189023(4)

て誤動作することがなく、安定した判定条件が設定される。

第1のラッチ回路35は、スイッチ36を切り換えるタイミングを決定するもので、第1のラッチ回路35に入力する入力パルス、つまり積分回路34の出力パルスの周期より十分長い周期を有する切換タイミングパルスで動作する。

そして、積分回路34における競合判定が有意となった場合、第1のラッチ回路35で決定されるタイミングによりスイッチ36の出力gは遅延回路32の出力パルス(遅延パルス)cとなり、競合判定が有意でなければ、スイッチ36の出力gはパルス幅整形回路31の出力パルスbとなる。

出力gは第2のラッチ回路37において、第2のクロックCK2によりラッチされるが、競合条件の場合には、遅延パルスcをラッチするので、競合を避けることができる。

第2のラッチ回路37は第3図に示すように、Dフリップフロップ371、372、373とNANDゲート回路374とによって構成され、そ

の動作は周知の如く、入力gの立上がりエッジの直後のクロックタイミングによりラッチされた負極性パルスhを出力する。

第5図において、第2のクロックCK2のクロックタイミングCK2(1)、CK2(2)、CK2(3)に対応する出力hをh(1)、h(2)、h(3)に示している。それぞれ時刻 t_1 、 t_2 、 t_3 に確立しており、競合を回避できていることが判る。(発明の効果)

以上詳細に説明したように、本発明のパルス同期化回路は上述のように構成されてなるので、デジタル回路において入力パルスとクロックとが非同期であっても、競合を起こしてタイミングの不確定をまねくことなく安定した動作が可能となる等、実用上極めて優れた効果がある。

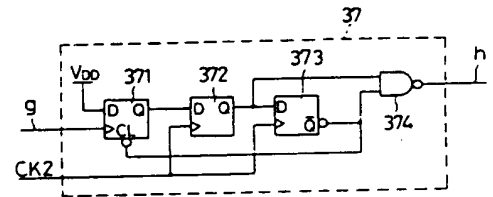
4. 図面の簡単な説明

第1図は本発明のパルス同期化回路の一実施例の構成を示すブロック図、第2図及び第3図は本発明のパルス同期化回路を説明するための図、第4図は本発明のパルス同期化回路の周辺回路を示

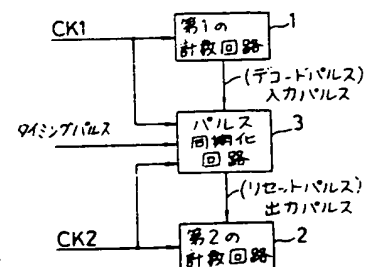
すブロック図、第5図は本発明のパルス同期化回路の動作説明用タイミングチャート、第6図は従来のパルス同期化回路を示す構成図、第7図は従来のパルス同期化回路の周辺回路を示すブロック図、第8図は従来のパルス同期化回路の動作説明用タイミングチャートである。

32…遅延回路、33…判定回路、34…積分回路、35…第1のラッチ回路、36…スイッチ、37…第2のラッチ回路。

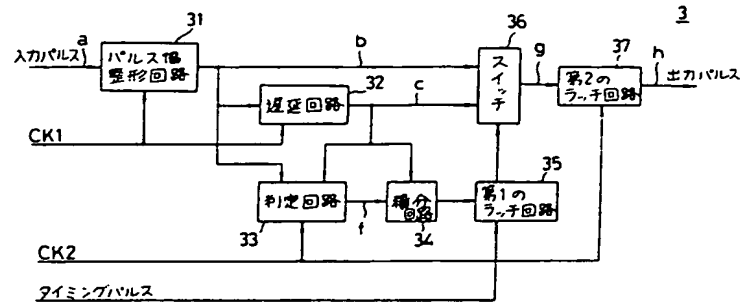
特許出願人 日本ビクター株式会社



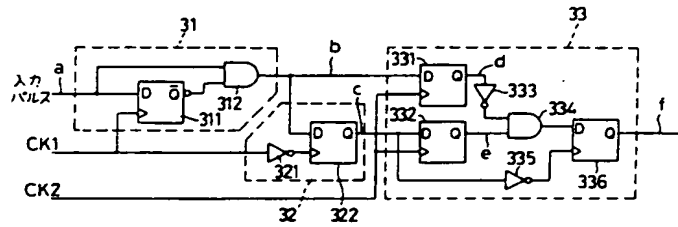
第 3 図



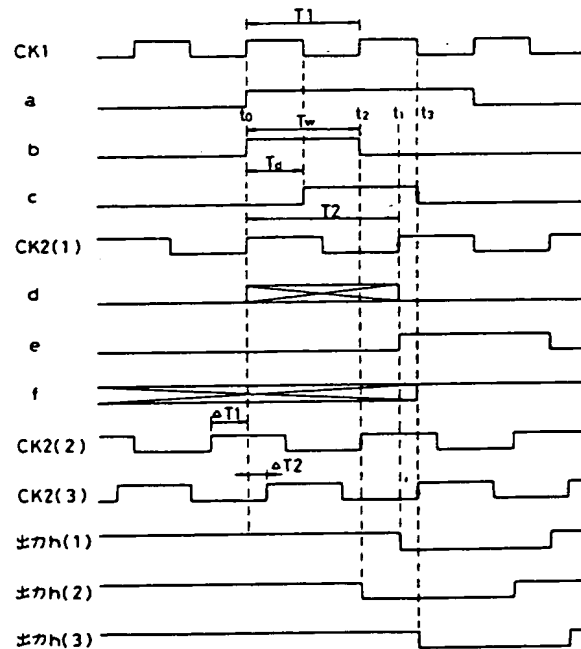
第 4 図



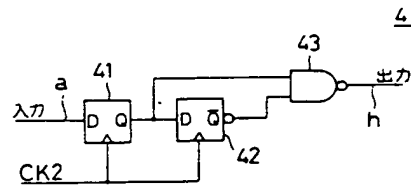
第 1 図



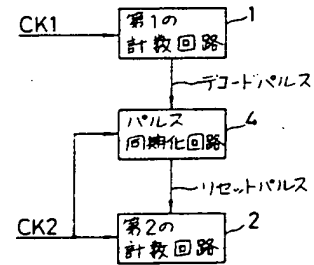
第 2 図



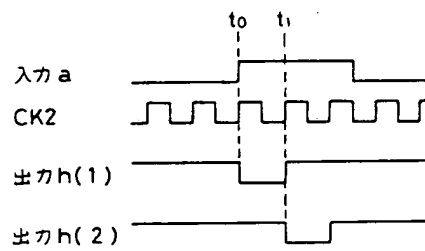
第 5 図



第 6 図



第 7 図



第 8 図